

MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP1289165
Publication date: 1989-11-21
Inventor(s): NAKAMURA SHUNJI
Applicant(s): FUJITSU LTD
Requested Patent: JP1289165
Application Number: JP19880118227 19880517
Priority Number(s):
IPC Classification: H01L29/78; H01L21/316; H01L29/163
EC Classification:
Equivalents:

Abstract

PURPOSE: To shorten a manufacturing process and to make it possible to manufacture a high-efficiency semiconductor device by a method wherein a gate oxide film and a field oxide film are formed simultaneously in a single oxidizing process and the semiconductor device is formed on an SiC layer.

CONSTITUTION: An SiC layer 2 is epitaxially grown in an Si substrate 1 by a reduced CVD method using induction heating and the layer 2 is patterned using an anisotropic etching method. Then, a wet oxidation is performed in a vapor-containing atmosphere to form simultaneously a gate oxide film 3, which has a prescribed thickness at the respective parts of the patterned part of the SiC layer and a part from which Si is exposed, and a field oxide film 4. After that, a doped poly Si layer 5 is formed on the film 3 using an ion-implantation of P<+> and is patterned. Then, the formation of source and drain regions, an annealing, the formation of an SiO₂ insulating film, an Al electrode and so on are formed to obtain a MOS transistor.

Data supplied from the esp@cenet database - I2

⑩ 日本国特許庁(J P)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-289165

⑤ Int. Cl.

H 01 L 29/78
21/316
29/163

識別記号

3 0 1

庁内整理番号

B-8422-5F
S-6824-5F

⑬ 公開 平成1年(1989)11月21日

8526-5F 審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭63-118227

⑰ 出 願 昭63(1988)5月17日

⑱ 発 明 者 中 村 俊 二 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 青 木 朗 外4名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

Si 基板上に、酸化速度がSi より小さい第2半導体の層をエピタキシャル成長させる工程、
該第2半導体の層をパターニングする工程、
形成された該第2半導体のパターン部分と露出されたSi 部分とを同時に酸化させることによって該第2半導体のパターン部分と該露出されたSi 部分とにそれぞれゲート酸化膜とフィールド酸化膜とを形成する工程、
を含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔概要〕

半導体装置の製造方法に関し、
製造コストを低減しながら、より高性能の半導体装置を製造する方法を提供することを目的とし、
Si 基板上に、酸化速度がSi より小さい第2半導体の層をエピタキシャル成長させる工程、該

第2半導体の層をパターニングする工程、形成された該第2半導体のパターン部分と露出されたSi 部分とを同時に酸化させることによって該第2半導体のパターン部分と該露出されたSi 部分とにそれぞれゲート酸化膜とフィールド酸化膜とを形成する工程、を含むように構成する。

〔産業上の利用分野〕

本発明は、半導体装置の製造方法に関する。

〔従来の技術〕

半導体装置の製造においては、素子間を電氣的に絶縁するための厚いフィールド酸化膜および主として電流制御のための薄いゲート酸化膜の少なくとも2種類の酸化膜を形成する必要がある。従来、これら2種類の酸化膜は一つの基板上に直接形成され、所要膜厚や所要膜質が異なるためそれぞれ別々の工程で形成されていた。
たとえば典型的には、Si 基板上に耐酸化性膜としてCVD窒化膜等の膜を形成し、窒化膜をパタ

ーニングし、形成された窒化膜パターン部分をマスクとして、露出されたSi部分のみを選択酸化してフィールド酸化膜を形成し、窒化膜パターン部分を溶解して除去し、露出されたSiの末酸化部分を酸化してゲート酸化膜を形成していた。

しかし、半導体装置の高集積化、高性能化を進めるためには、製造工程が増々複雑になりコスト上昇が避けられない一方、性能上も飛躍的な向上が困難であるという問題があった。

〔発明が解決しようとする課題〕

本発明は、製造コストを低減しながら、より高性能の半導体装置を製造する方法を提供することを目的とする。

〔課題を解決するための手段〕

上記の目的は、本発明によれば、Si基板上に、酸化速度がSiより小さい第2半導体の層をエピタキシャル成長させる工程、該第2半導体の層をパターンニングする工程、形成された該第2半導体

のパターン部分と露出されたSi部分と該露出されたSi部分とを同時に酸化させることによって該第2半導体のパターン部分と該露出されたSi部分とにそれぞれゲート酸化膜とフィールド酸化膜とを形成する工程、を含むことを特徴とする半導体装置の製造方法によって達成される。

本発明においては、パターンニングによって形成された第2半導体のパターン部分をマスクとして利用して露出されたSi部分に厚いフィールド酸化膜を形成しながら、同時に第2半導体のパターン部分に薄いゲート酸化膜を形成する。ゲート酸化膜を形成された第2半導体上に、従来の方法で各種の素子を直接形成することができる。2種類の酸化膜を単一の酸化工程で形成することができ、かつ従来のような窒化膜等の耐酸化性膜(マスク)の除去工程を必要としない。

第2半導体はSiよりも酸化速度が小さい半導体とする。両者の酸化速度の比は酸化温度に依存する。第2半導体に形成されるゲート酸化膜とSiに形成されるフィールド酸化膜の膜厚の比は

両者の酸化速度の比によって決定される。したがって、同時酸化によって形成されるゲート酸化膜およびフィールド酸化膜のそれぞれの膜厚は、酸化温度の選択によって所要値に制御することができる。

第2半導体としてはSiCが望ましい。SiCは、Siに比較して、ブレークダウン臨界電圧が高く、より高速の作動が可能であり、熱や放射線に対する耐性も優れている。したがって、SiCを用いることによって特に著しい高性能化が可能である。SiC膜は近年1000℃以下の温度で形成できるようになってきており(たとえば特願昭60-25460公報等)、従来公知の誘導加熱による減圧CVD法等の方法で容易にエピタキシャル成長させることができる。

酸化方法はしては、水蒸気等によるウェット酸化、酸素や塩化水素によるドライ酸化等、従来の方法を用いる。特にウェット酸化はドライ酸化に比べて酸化速度が大きいので有利である。ウェット酸化によって形成されたゲート酸化膜について、

耐圧性等の所要膜質を得るのに必要であれば、酸化終了後に酸化処理炉内を窒素または塩化水素の雰囲気で置換した状態でアニールすることもできる。これは、同一の炉内で雰囲気の置換と温度設定の調整をすれば容易に行なえるので、実際上は酸化工程と一体の工程として行なえる。あるいは、ウェット酸化を行ないながら水蒸気雰囲気中に窒素または塩化水素を添加して、酸化とアニールを併行して行なってもよい。

〔作 用〕

本発明は、Si基板とその上に形成した第2半導体パターンの酸化速度比を酸化温度で所要比に制御することによって、Si露出領域のフィールド酸化膜と第2半導体パターン領域のゲート酸化膜とを単一の酸化工程で形成することができる。更に、第2半導体としてSiCを用いることによって、半導体装置の性能を飛躍的に高めることができる。

〔実施例〕

第1図の手順でMOSトランジスタを製造した。

シリコン基板1上に、誘導加熱による減圧CVD法によって厚さ0.3 μ mのSiC層2をエピタキシャル成長させた(第1図(a))。異方性エッチング(使用ガス:SiCl₄+Clを用いてSiC層2をパターニングした(第1図(b))。水蒸気雰囲気中、900℃で60分間ウェット酸化を行なってSiCのパターン部分とSiの露出部分にそれぞれ厚さ500Åのゲート酸化膜3と5000Åのフィールド酸化膜4を同時に形成した(第1図(c))。

酸化温度900℃は以下の実験によって決定した。

第2図は、上記の水蒸気雰囲気中で種々の温度で60分間酸化した場合に形成される酸化膜の厚さの比 r である。ここで、 $r(\%) = (\beta - \text{SiC}(100)\text{面の酸化膜厚}) / (\text{単結晶Si}(100)\text{面上の酸化膜厚}) \times 100$ であり、この値はすなわち両者の酸化速度の比である。実験した酸化温度900~1150℃の範囲において、酸化温度の増加に伴って r 値は10から40%まで増加する。図の關係

から、SiC上のゲート酸化膜の厚さを500Åとし、Si上のフィールド酸化膜の厚さを5000Åとするためには、 r 値が10%となる温度900℃を酸化温度とすればよい。

酸化温度をたとえば1050℃とすれば、 $r = 20\%$ であるから、Si上のフィールド酸化膜の厚さは5000Åに対してSiC上のゲート酸化膜の厚さは1000Åとなる。このように、第2半導体とSi基板の組合せ、酸化方法等に応じて、所要の r 値を得るための酸化温度を予め実験により決定できる。

上記のようにゲート酸化膜およびフィールド酸化膜を形成した後、P⁺イオン注入を用いてゲート酸化膜3上にドーフトポリシリコン層5を形成し、更にこのドーフトポリシリコン層5をパターニングした(第1図(d))。以下、通常の方法で、イオン注入またはガス拡散または面相-固相拡散によるソース領域およびドレイン領域の形成、アニール、SiO₂絶縁膜の形成、A₂電極形成等を行なってMOSトランジスタを形成した(第1図(e))。6・7・8はそれぞれソース、ドレイン、ゲート

の各A₂電極である。

〔発明の効果〕

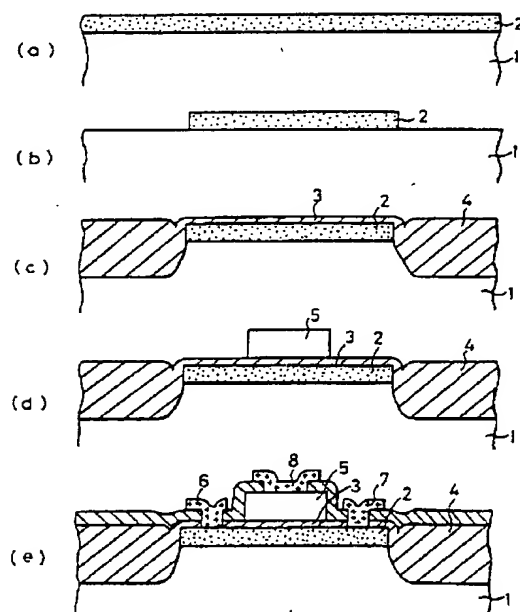
以上説明したように、本発明は単一の酸化工程でゲート酸化膜とフィールド酸化膜を同時に形成できると共にSiC上に半導体装置を形成できるので、製造工程を短縮してコスト低減をしながら高性能の半導体装置を製造できるという効果を奏し、高集積化、高性能化を進める上で多大な寄与をなすものである。

4. 図面の簡単な説明

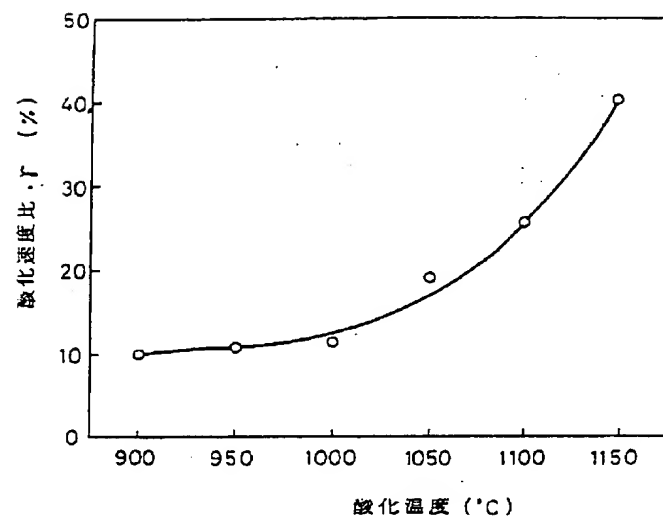
第1図は、本発明にしたがったMOSトランジスタの製造工程を示す断面図、および

第2図は、酸化温度による酸化速度比の変化を示す線図である。

1…Si基板、2…SiC層、3…ゲート酸化膜、4…フィールド酸化膜。



第1図



第 2 図

MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT AND MANUFACTURING DEVICE THEREOF

Patent Number: JP11219950
Publication date: 1999-08-10
Inventor(s): MOCHIZUKI YASUHIRO; OKADA NOBUSUKE
Applicant(s): HITACHI LTD
Requested Patent: ☐ JP11219950
Application Number: JP19980021741 19980203
Priority Number(s):
IPC Classification: H01L21/316; H01L21/31; H01L21/3205
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To fill an insulating film into a groove part of a high aspect ratio without a void by a method wherein the inner surface of the groove formed in a substrate and the surface layer of a lower wiring are coated with a silicon film, the silicon film is oxidized to modify the silicon film into a film being formed using a silicon oxide film as its main component and these processes are again repeated according to the need.

SOLUTION: A silicon oxide film 20 and lower wiring layers 30 containing aluminium as their main component are formed on a silicon wafer 10. Then, a first layer silicon film 41 is deposited on the film 20 and the layers 30. Then, a silicon film 40 is oxidized and is modified into a silicon oxide film 42. Then, a silicon film 43 is again deposited on this film 42. Then, the film 43 is again oxidized using a plasma and is modified into a silicon oxide film 44. The surface layer of a silicon film 45 is made to flatten 50 by an ultraprecise chemical and mechanical polishing. Thereby, it becomes possible to fill completely an insulating film in a substrate of a semiconductor device, a narrow wiring and a groove of a high aspect ratio and the high reliability of the insulating film and the wiring layer 30 is ensured.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-219950

(43) 公開日 平成11年(1999) 8月10日

(51) Int.Cl.⁶ 識別記号
 H 0 1 L 21/316
 21/31
 21/3205
 // H 0 1 L 21/205

F I
 H 0 1 L 21/316 C
 21/31 C
 21/205
 21/88 K

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願平10-21741

(22) 出願日 平成10年(1998) 2月3日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 望月 康弘

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 岡田 亘右

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74) 代理人 弁理士 小川 勝男

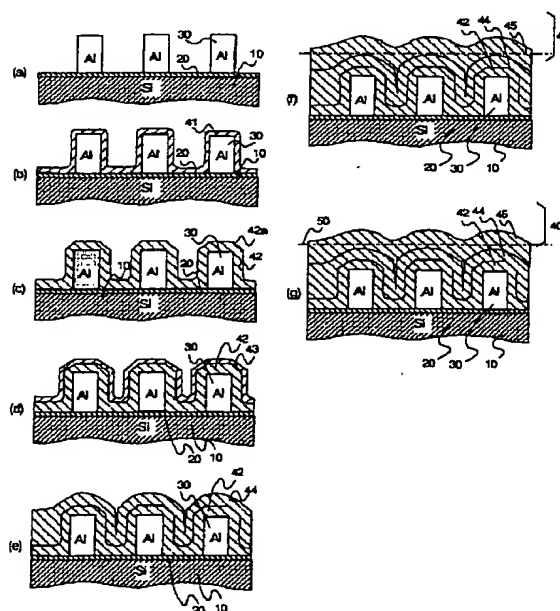
(54) 【発明の名称】 半導体集積回路の製造方法並びにその製造装置

(57) 【要約】

【課題】 VLSI のアスペクト比の大きいトレンチ型アイソレーションや多層配線用の絶縁膜の形成において、溝部にボイドが生じないように絶縁膜を完全に充填し、高信頼性の配線システムや誘電体分離基板を製造する。

【解決手段】 被処理基板に (1) プラズマ CVD によりシリコン膜をプラズマ酸化によりシリコン酸化膜 (SiO₂) に改質させる。このサイクルを繰り返すことにより溝を完全に充填し、CMP (超精密化学的機械的研磨) を適用して平坦化できる。

図 1



【特許請求の範囲】

【請求項1】半導体基板の溝開口部にシリコン酸化膜を主成分とする絶縁膜を充填形成する方法において、溝部開口内面にシリコン膜を堆積させた後、該シリコン膜を酸化させてシリコン酸化膜に改質することを特徴とする半導体集積回路の製造方法。

【請求項2】半導体集積回路の多層配線用層間絶縁膜の形成方法において、(a)下部配線パターンの配線の表面をシリコン膜で被覆する工程、(b)上記シリコン膜をシリコン酸化膜に改質する工程、上記(a)及び(b)の工程の1回以上の繰り返すことにより、溝開口部を空孔(ボイド)なく充填する工程からなることを特徴とする半導体集積回路の製造方法。

【請求項3】請求項1又は2記載において、シリコン膜の堆積及びそのシリコン酸化膜への改質はプラズマ化学反応処理(プラズマCVD、プラズマ酸化)によることを特徴とする半導体集積回路の製造方法。

【請求項4】請求項3記載において、シリコン膜の堆積及びそのシリコン酸化膜への改質のプラズマ化学反応処理(プラズマCVD、プラズマ酸化)は、高密度プラズマにより発生したプラズマを基板に吸引して、基板の溝開口部のエッジ部のオーバーハング部をスパッタエッチングさせながら反応処理することを特徴とする半導体集積回路の製造方法。

【請求項5】半導体基板の溝開口部にシリコン膜の堆積及びそのシリコン酸化膜への改質によりシリコン酸化膜を主成分とする絶縁膜を充填形成させるプラズマ処理装置において、シリコン原料ガスと酸素ガスを交互にパルス状に供給する手段とを具備することを特徴とする半導体集積回路の製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路の製造方法に係り、特に高アスペクト比の微細なトレンチや配線パターン間の溝をボイドを生じることなく絶縁膜で完全に充填し、高集積化や高信頼化に好適な半導体集積回路の誘電体絶縁分離基板や多層配線用層間絶縁膜の製造方法並びにその製造装置に関する。

【0002】

【従来の技術】半導体集積回路の高集積化に伴う微細化により、トレンチ溝や配線間隔が小さくなり、アスペクト比(溝の縦寸法/横寸法の比)が大きくなる。誘電体絶縁分離層や配線層の高信頼化のためには、トレンチや配線間の溝を絶縁物で充填することが望ましい。これは、配線間等の溝部のボイドが生ずる不具合以降のプロセス工程における薬品の侵入や反応ガスの吸着、デバイス完成後の水分等の浸入吸着による、金属配線材料の腐食や層間絶縁膜の変質に伴う素子特性の変動等を防止するためである。

【0003】配線間等の溝部を充填する方法は種々提案

されている。そのうち、高密度プラズマCVDにおいて、成膜時に基板に高周波または直流バイアスを印加することにより、CVDによる薄膜堆積と同時にプラズマ中の加速されたイオンによりスパッタエッチングを生じさせる方法が用いられている。これは、スパッタエッチングの速度はイオン照射角度に依存し、約45°付近がピークとなり、垂直面や平坦面はほとんどエッチングされないため、配線層エッジ部やトレンチ開口部の(オーバーハング部)の堆積物が選択的にスパッタエッチングされ、また、スパッタされた堆積物が溝部内面に再付着するため溝埋めできる。

【0004】この方式をより効率的に実施するため、各種の改良策が提案されている。これらに係るものには、例えば、特開昭56-13480号公報、特開昭63-257246号(特許登録第2539422号)公報、特開平2-310926号(特許登録第2514250号)公報、特開平8-148486号公報等が挙げられる。

【0005】

【発明が解決しようとする課題】半導体集積回路の高集積化に伴い、トレンチや配線層パターンの微細化と溝部のアスペクト比が大きくなってきている。上記の従来技術では、アスペクト比2.5以下の溝部にはボイドフリーの溝埋めが可能である。しかし、アスペクト比がそれ以上になるとオーバーハング部の堆積物はスパッタされるが、対抗面に再付着され結局開口部が塞がれて溝底部にボイドが残存してしまう。

【0006】本発明の目的は、高アスペクト比の溝部にボイドなく絶縁膜を充填する方法を提供することにある。

【0007】更に、誘電体絶縁分離や多層配線用層間絶縁膜として、産業的に有効な技術とするために、下記の課題が全て達成された絶縁膜及びその製造方法を提供することにある。

【0008】(1)層間絶縁膜本来の目的である層間の絶縁(絶縁破壊強度の確保、リーク電流の低減)が基本であり、更に誘電率、膜応力等の機能的性質。

【0009】(2)下地のシリコン基板や金属配線に対する不純物や水分の浸入を防止して腐食を防ぎ信頼性を確保し、基板や配線材料との熱膨張係数に差異による変形を防止し、基板や配線材料と長期にわたって反応せずかつ密着性が良いこと等の構造的整合性。

【0010】(3)表面の平坦化研磨やスルーホールの加工性が良好なこと、耐熱性や耐薬品性等の以降の工程とのプロセスマッチング。

【0011】(4)工程数、工程コスト、ターンアラウンドタイム等及びプロセス均一性・再現性、歩留まりやプロセス異物の対策等、製造工程の環境適応性等の生産性。

【0012】

【課題を解決するための手段】上記目的は、分離用絶縁

膜を以下の工程で形成することにより、達成される。

- (1) 基板の溝内面や下部配線の表面層をシリコン膜（アモルファスまたは多結晶シリコン）で被覆し、
(2) 上記シリコン膜を酸化してシリコン酸化膜を主体とする膜に改質し、(3) 必要に応じて再度(1)、
(2)の工程を繰り返す、ことにより達成される。

【0013】これは、CVDによるシリコン膜の堆積は、基板の凹凸の表面形状の忠実に沿って形成され(conformal)、酸化はほぼ元の形状通りに膜厚が増える性質を利用することにより、微細溝の充填を可能にしたものである。

【0014】

【発明の実施の形態】以下、本発明の実施例を図面を用いて詳細に説明する。

【0015】図1は本発明による多層配線用層間絶縁膜＊

反応ガス圧力

モノシランガス(SiH_4)
シリコンウエハの温度

0.2～0.3 Pa

制御せず

(反応中はプラズマ照射により、
150～200℃に加熱される)

反応容器内の最大磁場強度

1100 Gauss

マイクロ波(2.45 GHz) 照射強度

1.5 kW

上記の反応条件により、反応時間10 sで40 nmのシリコン膜が形成できる。ここで重要なことは、高アスペクト比特にアスペクト比2.5以上の形状の深溝の内部でも、ほぼ均等な付き廻りが得られることである。

【0018】(c)は上記のシリコン膜40を酸化させ※

反応ガス供給量

酸素ガス(O_2)

0.2 Pa

アルゴン(Ar)

0.1～0.15 Pa

反応容器内の最大磁場強度

1100 Gauss

マイクロ波(2.45 GHz) 照射強度

1.5 kW

基板バイアス(13.56 MHz)

2.6 kW

プラズマ酸化の雰囲気アルゴンを添加し、更に基板にバイアスを印加したのは、プラズマ中の酸素イオンやアルゴンイオンが加速されて基板上の堆積膜に衝突し、特に、イオンの照射角度が45°近傍をピークとしたスパッタエッチングの効果を発揮させるためである。この効果により堆積膜の開口部の肩部42aが選択的にスパッタエッチングされ、開口部が塞がってボイドが発生してしまうことを防止するためである。また、基板にバイアス印加することにより、酸化速度を向上させることがで★

酸化速度(酸化膜厚)

絶縁破壊強度

抵抗率

誘電率(1 MHz)

異物密度($\geq 0.3 \mu\text{m}$)

プラズマダメージ

250 nm/min

$\geq 5.2 \text{ MV/cm}$

$1 \times 10^{15} \Omega\text{-cm}$

4.1 ± 0.1

$\leq 0.02 \text{ 欠/cm}^2$

なし(アンテナ比10000の

MOSデバイスのV-I特性のシ

フトより)

＊の基本工程の断面模式図を示す。

【0016】(a)は直径200 mmの能動層の形成されたシリコンウエハ10上にシリコン酸化膜(SiO_2)20、アルミニウム(Al)を主体とする下層配線層30が形成された状態の被膜形成基板である。アルミニウム配線層30は、詳細にはモリブデンシリサイド60 nm-アルミニウム(0.5%銅、シリコン含有)800 nm-モリブデンシリサイド40 nmの3層積層構造である。配線幅0.4 μm 、配線間隔0.3 μm 、配線膜厚0.9 μm であり、アスペクト比は3.0である。

(b)は第1層のシリコン膜41を高密度プラズマCVD法により、厚み40 nm堆積させた状態を示す。プラズマの状態やプロセス条件は以下の通りである。

【0017】

※シリコン酸化膜42に改質した状態を示す。酸化は上記プラズマCVDと同一装置の反応容器内で以下のプロセス条件でプラズマ酸化させた。

【0019】

★きる。

【0020】厚み40 nmのシリコン膜は、上記の条件でのプラズマ酸化により20 s以内ですべてシリコン酸化膜42に改質させることができる。

【0021】シリコン酸化膜42の品位及び室温における特性は、以下の通りである。なお、これはシリコン基板の平面部に形成した種々の膜厚のTEG(Test Element Group)を用いて評価した値である。

【0022】

緩衝フッ酸によるエッチング速度
(HF: NH₄F = 1: 10)
昇温脱離ガス分析 (含有水分量)
屈折率
赤外吸収スペクトルのピーク波数
(Si-O結合)
(Si-H結合)

上記の様に、絶縁破壊強度、抵抗率の値およびプラズマダメージ評価の結果は層間絶縁膜の基本的性質を充分満足している。また、エッチング速度、屈折率、赤外吸収スペクトル (Si-O結合) からは、緻密性が検証される。昇温脱離ガス分析や赤外吸収スペクトル (Si-H結合) の分析値から含有水分量は、従来の高信頼性膜として半導体素子に用いられているシリコンの熱酸化(ドライ酸化)による酸化膜と同等であり、これらを総合すると、高品位緻密性膜と評価できる。

【0023】(d) は上記の膜の上の再びシリコン膜43を堆積させた状態を示す。形成装置及び条件は(b)と全く同様である。シリコンの膜厚は次工程のプラズマ酸化により2.1倍のシリコン酸化膜となることを見込んで決められる。溝幅dをnサイクルの堆積、酸化の工程で完全に充填するためには、シリコン層の各サイクル毎の膜厚 a_1, a_2, \dots, a_n は、 $2.1(a_1 + a_2 + \dots + a_n) = 0.5d$ と表わされる。

【0024】シリコン膜厚がやや多き過ぎると、酸化後、アルミニウム配線層30に適切な圧縮応力を与え、アルミニウム配線層30の断線防止に効果的である。シリコン膜厚が厚過ぎると、酸化後、アルミニウム配線層30に過剰な応力を与え変形を生ずるため、適切な厚みを選定する必要がある。ここでは、溝幅の加工寸法のバラツキ誤差を考慮し、過剰応力の発生を防止するため、膜厚は30nmとした。

(e) は再び上記シリコン膜をプラズマ酸化させて、シリコン酸化膜44に改質した状態を示す。膜改質の条件は(c)に示した場合と同一である。

【0025】(f) は第3回目のシリコン膜堆積とそれをプラズマ酸化させた状態を示す。条件は上記第1回目、第2回目と同様であり、シリコン膜厚は150nm、改質後のシリコン酸化膜45の厚みは310nmである。

【0026】(g) はシリコン酸化膜45の表面層を超精密化学的機械的研磨 (CMP: Chemical Mechanical Polishing) により、平坦化50させた状態を示す。CMPはアンモニア(NH₃OH)またはアミノ加工液ベースのヒュームドシリカと高純度セリアにより、膜の剥離やスクラッチ等の欠陥の発生がなく平坦化できる。この様にして作成したサンプルの断面を走査型電子顕微鏡 (SEM) で観察すると、配線溝部は完全に充填されていることが確認できた。これは、(1)シリコン膜が、基板の凹凸の表面形状に忠実に沿って堆積される (confo

0.8nm/s

熱酸化膜 (ドライ酸素) と同等
1.452~1.465

1078~1080/cm

検出限界以下 ($< 1 \times 10^{11} / \text{cm}^2$)

mal) ため、(2)シリコン酸化膜形成時に基板にバイアス印加して、開口部の肩部をスパッタエッチングさせることにより、開口部が塞がれてボイドが形成されることが防止できたためである。

【0027】上記実施例では、3回のサイクルにより形成したが、サイクル回数はパターン形状やサイズにより変更が可能である。また溝部が完全に充填された後は、シリコン酸化膜を直接に堆積させることもできる。

【0028】また上記実施例では、適用としてシリコン酸化膜を主体とする多層配線層間絶縁膜について詳細に述べたが、それ以外の応用、例えばシリコン基板の狭幅溝へ誘電体膜を充填するSTI (Shallow Trench Isolation) 等へも適用できる。膜の材質としては、酸化膜以外にプラズマ窒化による窒化膜の形成も可能である。

【0029】プラズマCVD法によるシリコン膜の成膜、及びプラズマ酸化によるシリコン酸化膜の製造装置を詳述する。

【0030】図2は有磁場マイクロ波のプラズマCVD装置100の断面模式図を示す。この種の構成はECR (Electron Cyclotron Resonance)-CVDとも呼ばれている。装置は反応容器120の内部及び周囲に、シリコンウエハ110をセットするためのヘリウムガス冷却付きの静電チャック方式の基板支持台121、それに高周波電圧を印加するための高周波電源122、シリコンウエハ110を出し入れするための搬送ロボット131付きウエハロード・アード室130、圧力調整のためのゲートバルブ123と真空排気用ターボ分子ポンプ124、マイクロ波導波管125とマイクロ波導入用石英製窓126、ECR形成用磁界コイル127、及び反応ガス供給制御系140が備え付けられている。

【0031】まず、シリコンウエハ110をウエハロード・アンロード室130を通して基板支持台121にセットする。次に反応容器120内をゲートバルブ123を開放にして真空排気用ターボ分子ポンプ124により真空排気する。到達圧力は0.1mPa以下である。

【0032】基板支持台121への高周波122の印加は、堆積膜のスパッタエッチングを使用する時、即ち、配線パターンの微細溝部への膜の堆積充填時に用いる。

【0033】同一反応容器120内でシリコン膜のCVDとそのプラズマ酸化を高速に実施するためには、反応ガスの交換や流入を迅速にする必要がある。本方式では、1回の反応時間は短く、シリコン膜堆積や酸化に要するガス量も少量であるため、高精度の制御は必要とし

ない。反応容器120内に反応ガスを迅速に流入させるためには、高真空中に排気後、ゲートバルブ123を閉じ、所定の体積及び圧力のガス留141に留保されたガスをバルブ142を開放してパルス的に反応容器120内に流入させることにより達成できる。反応時間が長くなるときは、これを繰り返すことにより、反応の量(シリコン膜厚、酸化膜厚)を確保することができる。

【0034】また、プラズマCVD・酸化装置として有磁場マイクロ波プラズマCVD・酸化装置を用いているが、これに限定されるものではなく、他の高密度プラズマ処理装置、例えば、ICP(Inductively Coupled Plasma:誘導結合プラズマ)、ヘリコン波プラズマ等の高密度プラズマ処理装置、通常のRFプラズマ処理装置等も使用可能である。また、連続処理装置としてCVD用反応容器、酸化用反応容器を分離し、個々の容器間に基板を搬送させて実施する処理方式でも可能である。

【0035】

【発明の効果】本発明によれば、従来広く用いられているプラズマCVDとプラズマ酸化工程を組み合わせることにより、(1)半導体装置の基板や配線間の狭く高いアスペクト比の溝に絶縁膜を完全に充填することが可能であり、(2)絶縁膜及び配線層の高信頼性が確保され、(3)他のプロセスとのマッチングが容易であり、(4)生産性にも優れているため、半導体装置、特に高集積半導体集積回路素子の特性及び信頼性の改善・向上に大きな効果がある。

*【0036】また更に、本発明の方式は次の利点があり、産業的なメリットは大である。

【0037】(5)半導体基板内の均一性に優れる。これは、2種類のガス(SiH_4 と O_2 、等)を反応させてシリコン酸化膜を直接に堆積させるのに比べて、1種類のガス(SiH_4)で済むシリコン膜形成は均一性に優れており、プラズマ酸化による膜厚はシリコン膜厚によって決まるためである。

【0038】(6)歩留まり低下の元凶である異物が少ない。上記と同様に、シリコン酸化膜を直接に堆積させるのに比べて、シリコン膜形成は本質的に異物発生が少なく、プラズマ酸化では原理的には異物の発生はないためである。さらにこのために、装置のクリーニングが容易となり、この観点でもコスト低減の寄与が大きい。

【図面の簡単な説明】

【図1】本発明の一実施例の半導体装置の製造工程を示す部分断面図。

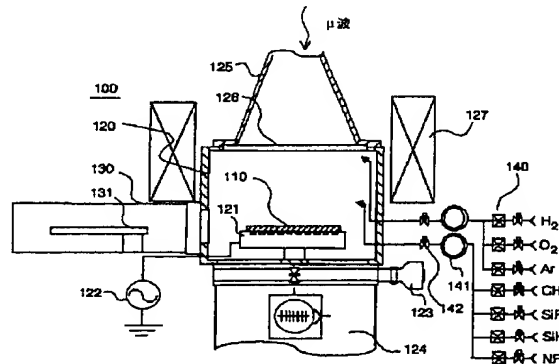
【図2】本発明の製造プロセスを実施するためのプラズマCVD装置の構成図。

【符号の説明】

10…シリコンウエハ基板、30…アルミニウム配線層、40…層間絶縁膜、41, 43…シリコン膜(Si)、42, 44, 45…シリコン酸化膜(SiO_2)、50…平坦化、100…プラズマCVD装置、110…シリコンウエハ、120…反応容器、140…反応ガス供給制御系。

【図2】

図 2



【図1】

図 1

